

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 2 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 8 1 0 9 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 8 1 0 9 4]

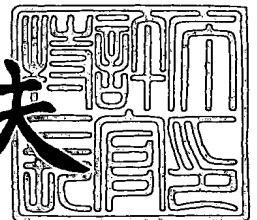
出 願 人 沖電気工業株式会社
Applicant(s):



2 0 0 3 年 1 0 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 8 0 0 3

【書類名】 特許願

【整理番号】 KA003895

【提出日】 平成15年 6月25日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03F 3/45

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

 【氏名】 杉村 直昭

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100086807

 【弁理士】

 【氏名又は名称】 柿本 恭成

【手数料の表示】

 【予納台帳番号】 007412

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 広帯域増幅器

【特許請求の範囲】

【請求項 1】 差動型の第 1 及び第 2 の入力信号を増幅して増幅された差動信号をそれぞれ第 1 及び第 2 のノードに出力する第 1 の増幅部と、前記第 1 及び第 2 のノードに出力された前記差動信号を更に増幅して差動型の出力信号を出力する第 2 の増幅部とを有する広帯域増幅器において、

ゲートに前記第 1 の入力信号が与えられ、ソースが第 1 の定電流源に接続されると共に位相補償用の第 1 のキャパシタを介して前記第 2 のノードに接続された第 1 の MOS トランジスタによる第 1 のソースフォロア回路と、

ゲートに前記第 2 の入力信号が与えられ、ソースが第 2 の定電流源に接続されると共に位相補償用の第 2 のキャパシタを介して前記第 1 のノードに接続された第 2 の MOS トランジスタによる第 2 のソースフォロア回路とを、

設けたことを特徴とする広帯域増幅器。

【請求項 2】 各々のゲートに差動型の第 1 及び第 2 の入力信号が与えられ、ソースがそれぞれ第 1 及び第 2 の定電流源に接続された第 1 及び第 2 の MOS トランジスタによるソースフォロア回路と、

前記第 1 及び第 2 の MOS トランジスタのソースの信号を増幅して増幅された差動信号をそれぞれ第 1 及び第 2 のノードに出力する第 1 の増幅部と、

前記第 1 の MOS トランジスタのソースと前記第 2 のノードとの間に接続された位相補償用の第 1 のキャパシタと、

前記第 2 の MOS トランジスタのソースと前記第 1 のノードとの間に接続された位相補償用の第 2 のキャパシタと、

前記第 1 及び第 2 のノードに出力された前記差動信号を更に増幅して差動型の出力信号を出力する第 2 の増幅部とを、

備えたことを特徴とする広帯域増幅器。

【請求項 3】 前記第 1 の増幅部をゲインブースト付きカスコードで構成したことを特徴とする請求項 1 または 2 記載の広帯域増幅器。

【請求項 4】 前記第 1 及び第 2 のキャパシタを MOS 容量で構成したこと

を特徴とする請求項 1、2 または 3 記載の広帯域増幅器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、アナログ集積回路の分野において、スイッチド・キャパシタ回路に用いる広帯域増幅器に関するものである。

【0 0 0 2】

【従来の技術】

【0 0 0 3】

【特許文献 1】

特開平 7 - 7 9 1 2 3 号公報

【特許文献 2】

特開平 8 - 1 1 6 2 2 3 号公報

【特許文献 3】

特開 2 0 0 3 - 6 9 3 5 2 号公報

【非特許文献 1】

2001 IEEE International Solid-State Circuits Conference(2001) , YONG-I n 他「A 10b 100MSample/s CMOS Pipelined ADC with 1.8V Power Supply」 p.130-131

【非特許文献 2】

2001 IEEE International Solid-State Circuits Conference(2001) , Dan Kelly Yang他「A 3V 340mW 14b 75MSPS CMOS ADC with 85dB SFDR at Nyquist」 p.134-135

【非特許文献 3】

Alen B. Grebene 「アナログ集積回路」 (昭和50) 近代科学社 p.262-263

【0 0 0 4】

図 2 (a) , (b) は、前記非特許文献 1 に記載された従来のパイプライン ADC (アナログ・デジタル変換器) のサンプル・ホールド回路と、これに用いられる演算増幅器の回路図である。

【0005】

図2 (a) に示すように、このサンプル・ホールド回路は、一般的な“F l i p A r o u n d S H A”と呼ばれている構成のもので、差動入力信号 $V I p$ 、 $V I m$ が、それぞれスイッチ $S 1 p$ 、 $S 1 m$ を介して与えられるノード $N I p$ 、 $N I m$ を有している。ノード $N I p$ 、 $N I m$ は、それぞれキャパシタ $C S p$ 、 $C S m$ を介して演算増幅器 10 の＋入力端子と－入力端子に接続されると共に、それぞれスイッチ $S 2 p$ 、 $S 2 m$ を介してこの演算増幅器 10 の－出力端子と＋出力端子に接続されている。

【0006】

演算増幅器 10 の＋入力端子と－入力端子には、それぞれスイッチ $S 3 p$ 、 $S 3 m$ を介して基準電圧 $V c m$ が与えられるようになっている。また、演算増幅器 10 の＋出力端子と－出力端子は、それぞれ負荷キャパシタ $C L p$ 、 $C L m$ を介して接地電位 $G N D$ に接続されると共に、スイッチ $S 4$ によって短絡されるようになっている。

【0007】

なお、実際の素子としては接続されていないが、演算増幅器 10 の＋入力端子及び－入力端子と接地電位 $G N D$ の間には、この演算増幅器 10 の高周波での動作に悪影響を与える入力容量 $C I p$ 、 $C I m$ が形成されている。

【0008】

一方、演算増幅器 10 は、図2 (b) に示すように、入力段と出力段を有する一般的な2段の差動増幅器で構成されている。

【0009】

入力段 10-1 は、差動入力信号が与えられるNチャネルMOSトランジスタ（以下、MOSトランジスタを単に「MOS」、NチャネルMOSトランジスタを「NMOS」という）11a、11bを有しており、これらのNMOS 11a、11bのゲートが、それぞれ演算増幅器 10 の＋入力端子及び－入力端子となっている。NMOS 11a、11bのソースは共通接続され、並列に接続された定電流源 12 とNMOS 13 を介して電位 $V S S$ に接続されている。

【0010】

NMOS 11a, 11b のドレインは、それぞれ NMOS 14a, 14b を介してノード Na, Nb に接続されている。ノード Na は、直列接続された P チャネル MOS (以下、「PMOS」という) 15a, 16a を介して電位 VDD に接続され、ノード Nb は、直列接続された PMOS 15b, 16b を介して電位 VDD に接続されている。

【0011】

出力段 10-2 は、ゲートがそれぞれノード Na, Nb に接続された NMOS 17a, 17b を有している。NMOS 17a, 17b のソースは共通接続され、並列に接続された定電流源 18 と NMOS 19 を介して電位 VSS に接続されている。NMOS 17a, 17b のドレインは、それぞれ PMOS 20a, 20b を介して電位 VDD に接続されている。

【0012】

NMOS 17a, 17b のドレインが、それぞれ演算増幅器 10 の + 出力端子及び - 出力端子となっており、この NMOS 17a のドレインとノード Na の間には、ゼロ点補正用の抵抗 21a と位相補償用のミラー容量 22a が直列に接続され、NMOS 17b のドレインとノード Nb の間には、同様の抵抗 21b とミラー容量 22b が直列に接続されている。

【0013】

なお、PMOS 16a, 16b, 20a, 20b のゲートはバイアス電位 VB1 に、PMOS 15a, 15b のゲートはバイアス電位 VB2 に、NMOS 14a, 14b のゲートはバイアス電位 VB3 にそれぞれ接続されている。また、PMOS 13, 19 のゲートは、それぞれバイアス電位 VB4, VB5 に接続されている。

【0014】

図 3 は、図 2 (a) のサンプル・ホールド回路における、ホールド動作時の高周波小信号に対する等価回路を示す図である。

【0015】

この図 3 に示すように、ホールド動作時には、演算増幅器 10 の入力段 10-1 と出力段 10-2 が順次接続され、この出力段 10-2 の出力側と接地電位 GND の

間に、負荷用のキャパシタ C_{Lp} , C_{Lm} (容量を C_l とする) が接続される。
 また、出力段 10-2 の入出力間がミラー容量 $22a$, $22b$ (容量を C_m とする) で接続され、この出力段 10-2 の出力側と入力段 10-1 の入力側の間がキャパシタ C_{Sp} , C_{Sm} (容量を C_s とする) で接続される。更に、入力段 10-1 の入力側と接地電位 GND の間には入力容量 C_{i1} が形成され、出力段 10-2 の入力側と接地電位 GND の間には入力容量 C_{i2} が形成される。

【0016】

この等価回路において、動作帯域を示す閉ループ帯域幅 BW_{cl} は、演算増幅器 10 の帯域幅を BW_{op} とし、帰還率を β とすると、次の (1) 式で表される。

【数1】

$$BW_{cl} = BW_{op} \times \beta$$

$$= \left\{ \frac{g_{m1}}{C_{i2} + C_m (1 + g_{m2})} \times \frac{g_{m2}}{C_l + \frac{C_s \times C_{i1}}{C_{i1} + C_s}} \right\} \times \frac{C_s}{C_{i1} + C_s}$$

... (1)

【0017】

ここで、 g_{m1} , g_{m2} は、それぞれ入力段 10-1 と出力段 10-2 の相互コンダクタンスである。

【0018】

上記 (1) 式において、一般的に、 $C_m (1 + g_{m2}) \gg C_{i1}$ 、かつ、 $g_{m2} \gg 1$ であるので、同式は次の (2) 式のように近似される。

【数2】

$$BW_{cl} = \frac{g_{m1}}{C_m} \times \frac{C_s}{C_{i1} (C_l + C_s) + C_l \times C_s}$$

... (2)

【0019】

入力段 10-1 の相互コンダクタンス g_{m1} と入力容量 C_{i1} は、 $NMOS11a$, $11b$ のゲート幅を W 、ゲート長を L 、電子移動度を μ 、ゲート酸化膜単位容量を C_{ox} 、及びドレイン電流を I_d とすると、次の (3), (4) 式のように表される。

【数 3】

$$g_{m1} = \sqrt{2\mu \times C_{ox} \times I_d \times W/L} \quad \dots (3)$$

$$C_{i1} = C_{ox} \times W \times L \quad \dots (4)$$

【0020】

(3), (4) 式を (2) 式に代入することにより、閉ループ帯域幅 BW_{cl} は、次の (5) 式のようにになる。

【数 4】

$$\begin{aligned} BW_{cl} &= \frac{C_s}{C_m} \times \frac{\sqrt{2\mu \times C_{ox} \times I_d \times W/L}}{C_{ox} \times L \times W (C_{i1} + C_s) + C_{i1} \times C_s} \\ &= \frac{C_s}{C_m} \times \frac{\sqrt{2\mu \times C_{ox} \times I_d/L}}{C_{ox} \times L \times \sqrt{W} (C_{i1} + C_s) + \frac{C_{i1} \times C_s}{\sqrt{W}}} \\ &\quad \dots (5) \end{aligned}$$

【0021】

上記 (5) 式は、ミラー容量で位相補償を行う 2 段構成の演算増幅器を用いたサンプル・ホールド回路の動作帯域が、この演算増幅器の入力段の入力 MOS のゲート長 L とゲート幅 W の寸法で決定されることを示している。従って、動作帯域を最大にするためには、ゲート長 L を、製造プロセスによる限界の最小ゲート長 L_{min} とし、ゲート幅 W を (5) 式から得られる最適な寸法、即ち最適ゲート幅 W_{opt} に設定すれば良い。

【0022】

最適ゲート幅 W_{opt} は、(5) 式の分母を W で微分して、その値が 0 となる W を求めることにより、次の (6) 式に示す値となる。

【数 5】

$$W_{opt} = \frac{C_{i1} \times C_s}{C_{ox} \times L (C_{i1} \times C_s)} \quad \dots (6)$$

【0023】

この最小ゲート長 L_{min} と最適ゲート幅 W_{opt} を使用すると、図 2 のサンプル・ホールド回路の最大動作帯域 BW_{max} は、次の (7) 式となる。

【数 6】

$$BW_{\max} = \frac{C_s}{C_m} \times \frac{\sqrt{2\mu \times C_{ox} \times I_d \times W_{opt}} / L_{\min}}{C_{ox} \times W_{opt} \times L_{\min} (C_l + C_s) + C_l \times C_s} \dots (7)$$

【0024】

【発明が解決しようとする課題】

しかしながら、従来の演算増幅器では、次のような課題があった。

即ち、(7)式で示すように、この演算増幅器を使用したサンプル・ホールド回路の最大動作帯域 BW_{\max} は、電子移動度 μ 、ゲート酸化膜単位容量 C_{ox} 、及び最小ゲート長 L_{\min} で決定される。しかし、これらの値は、使用される製造プロセスによって決定されるので、最大動作帯域 BW_{\max} が製造プロセスで制限され、しかも、その最大動作帯域 BW_{\max} が位相補償用のミラー容量 C_m の値によって減少されるという課題があった。本発明は、製造プロセスによる制限を受けず、動作帯域を広くすることができる広帯域増幅器を提供するものである。

【0025】

【課題を解決するための手段】

前記課題を解決するために、本発明の内の第1の発明は、差動型の第1及び第2の入力信号を増幅して増幅された差動信号をそれぞれ第1及び第2のノードに出力する第1の増幅部と、前記第1及び第2のノードに出力された前記差動信号を更に増幅して差動型の出力信号を出力する第2の増幅部とを有する広帯域増幅器において、ゲートに前記第1の入力信号が与えられ、ソースが第1の定電流源に接続されると共に位相補償用の第1のキャパシタを介して前記第2のノードに接続された第1のMOSによる第1のソースフォロア回路と、ゲートに前記第2の入力信号が与えられ、ソースが第2の定電流源に接続されると共に位相補償用の第2のキャパシタを介して前記第1のノードに接続された第2のMOSによる第2のソースフォロア回路とを設けたことを特徴としている。

【0026】

第2の発明は、広帯域増幅器を、各々のゲートに差動型の第1及び第2の入力信号が与えられ、ソースがそれぞれ第1及び第2の定電流源に接続された第1及

び第2のMOSによるソースフォロア回路と、前記第1及び第2のMOSのソースの信号を増幅して増幅された差動信号をそれぞれ第1及び第2のノードに出力する第1の増幅部と、前記第1のMOSのソースと前記第2のノードとの間に接続された位相補償用の第1のキャパシタと、前記第2のMOSのソースと前記第1のノードとの間に接続された位相補償用の第2のキャパシタと、前記第1及び第2のノードに出力された前記差動信号を更に増幅して差動型の出力信号を出力する第2の増幅部とで構成したことを特徴としている。

【0027】

本発明によれば、以上のように広帯域増幅器を構成したので、ソースフォロア回路の出力側と第1の増幅部の出力側のノードとを接続する位相補償用のキャパシタによって、この広帯域増幅器の位相余裕が大きくなる。これにより、製造プロセスによる制限を受けず、動作帯域を広くすることができる。

【0028】

【発明の実施の形態】

（第1の実施形態）

図1は、本発明の第1の実施形態を示す広帯域増幅器の構成図であり、図2（b）中の要素と共通の要素には共通の符号が付されている。

【0029】

この広帯域増幅器10Aは、図2（b）の従来の演算増幅器10と同様の入力段10-1と出力段10-2に加え、この入力段10-1と並列にソースフォロア回路10-3を追加している。また、従来、出力段10-2の入出力間に接続されていた位相補償用のミラー容量を削除して、代わりにソースフォロア回路10-3の出力側と出力段10-2の入力側の間に、位相補償用のキャパシタを挿入している。

【0030】

即ち、この広帯域増幅器10Aの入力段10-1は、差動入力信号が与えられるNMOS11a、11bを有しており、これらのNMOS11a、11bのゲートが、それぞれ広帯域増幅器10Aの+入力端子及び-入力端子となっている。NMOS11a、11bのソースは共通接続され、並列に接続された定電流源12とNMOS13を介して電位VSSに接続されている。

【0031】

NMOS 11a, 11b のドレインは、それぞれ NMOS 14a, 14b を介して ノード Na, Nb に接続されている。ノード Na は、直列接続された PMOS 15a, 16a を介して 電位 VDD に接続され、ノード Nb は、直列接続された PMOS 15b, 16b を介して 電位 VDD に接続されている。

【0032】

出力段 10-2 は、ゲートがそれぞれ ノード Na, Nb に接続された NMOS 17a, 17b を有している。NMOS 17a, 17b のソースは 共通接続され、並列に接続された 定電流源 18 と NMOS 19 を介して 電位 VSS に接続されている。NMOS 17a, 17b のドレインは、それぞれ PMOS 20a, 20b を介して 電位 VDD に接続されると共に、それぞれ この広帯域増幅器 10A の + 出力端子及び - 出力端子となっている。

【0033】

更に、この広帯域増幅器 10A は、ソースフォロア回路 10-3 として、ゲートがそれぞれ + 入力端子及び - 入力端子に接続された NMOS 31a, 31b を有している。NMOS 31a, 31b のソースは、それぞれ 定電流源 32a, 32b を介して 電位 VSS に接続され、ドレインは 電位 VDD に直接接続されている。また、NMOS 31a のソースは、位相補償用のキャパシタ 33a を介して ノード Nb に接続され、NMOS 31b のソースは、位相補償用のキャパシタ 33b を介して ノード Na に接続されている。

【0034】

なお、PMOS 16a, 16b, 20a, 20b のゲートは バイアス電位 VB1 に、PMOS 15a, 15b のゲートは バイアス電位 VB2 に、NMOS 14a, 14b のゲートは バイアス電位 VB3 にそれぞれ接続されている。また、PMOS 13, 19 のゲートは、それぞれ バイアス電位 VB4, VB5 に接続されている。

【0035】

図 4 は、図 1 の広帯域増幅器 10A を、図 2 (a) のサンプル・ホールド回路に使用した場合の、ホールド動作時の高周波小信号に対する等価回路を示す図で

ある。

【0036】

この図4に示すように、ホールド動作時には、広帯域増幅器10Aの入力段10-1と出力段10-2が順次接続され、この出力段10-2の出力側と接地電位GNDの間に、負荷用のキャパシタCLp, CLm（容量をC1とする）が接続される。また、出力段10-2の出力側と入力段10-1の入力側の間が、キャパシタCSp, CSm（容量をCsとする）で接続される。

【0037】

更に、入力段10-1と並列にソースフォロア回路10-3が接続され、このソースフォロア回路10-3の出力側は、位相補償用のキャパシタ33a, 33b（容量をCmとする）を介して、出力段10-2の入力側に接続される。なお、入力段10-1、出力段10-2及びソースフォロア回路10-3の入力側と接地電位GNDの間には、それぞれ入力容量Ci1, Ci2, Ci3が形成されている。

【0038】

この等価回路において、広帯域増幅器10Aの帯域幅をBWop、帰還率を β とし、入力段10-1の小信号出力抵抗Rolがソースフォロア回路10-3の小信号出力抵抗Ro3よりも十分大きく、かつ入力段10-1の第1極がソースフォロア回路10-3とCm及びRolとCi2とで決定されるゼロ点よりも低いとすると、動作帯域を示す閉ループ帯域幅BWclは、次の(8)式で表される。

【数7】

$$\begin{aligned} BW_{cl} &= \left\{ \frac{1}{1+\chi} \times \frac{C_m}{C_m+C_{i2}} \times \frac{g_{m2}}{C_1 + \frac{C_s(C_{i1}+C_{i3})}{C_{i1}+C_{i3}+C_s}} \right\} \times \frac{C_s}{C_{i1}+C_{i3}+C_s} \\ &= \frac{1}{1+\chi} \times \frac{C_m}{C_m+C_{i2}} \times \frac{g_{m2} \times C_s}{(C_{i1}+C_{i3})(C_1+C_s) + C_1 \times C_s} \\ &\quad \dots (8) \end{aligned}$$

【0039】

ここで、 g_{m2} は出力段10-2の相互コンダクタンス、 χ はソースフォロア回路10-3を構成するNMOS31a, 31bの閾値電圧の基板バイアス電圧に対する変化の割合を表す係数である。

【0040】

この(8)式に示すように、動作帯域は出力段10-2の相互コンダクタンス g_{m2} に比例するので、この相互コンダクタンス g_{m2} を大きく設定することにより、動作帯域を増加させることができる。

【0041】

なお、相互コンダクタンス g_{m2} を大きく設定すると、これに伴って入力容量 C_{i2} も増加するが、位相補償用のキャパシタ 33a, 33b の容量 C_m を大きくすることにより、この入力容量 C_{i2} の増加による動作帯域の減少を補うことができる。また、容量 C_m を大きくすると、ソースフォロア回路10-3と C_m 及び R_{o1} と C_{i2} とで決定されるゼロ点が低周波数方向へ移動するが、これと同時に入力段10-1の第1極も低周波数方向へ移動するので、広帯域増幅器10Aの位相余裕は低下しない。

【0042】

以上のように、この第1の実施形態の広帯域増幅器10Aは、入力段10-1と並列にソースフォロア回路10-3を設け、このソースフォロア回路10-3の出力側を、位相補償用のキャパシタ33を介して出力段10-2の入力側に接続している。これにより、使用する製造プロセス（例えば、トランジスタのゲート長）によって動作帯域が制限されることがなくなり、より広い動作帯域を得ることができる。

【0043】

(第2の実施形態)

図5は、本発明の第2の実施形態を示す広帯域増幅器の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。

【0044】

この広帯域増幅器10Bは、図1の広帯域増幅器10Aにおいて入力段10-1と並列に設けられたソースフォロア回路10-3を削除し、これに代えて、この入力段10-1の前段に、ソースフォロア回路10-4を設けている。

【0045】

即ち、この広帯域増幅器10Bは、差動型のソースフォロア回路10-4を構成

するNMOS 41a, 41bと定電流源42a, 42bを有しており、これらのNMOS 41a, 41bのゲートが、この広帯域増幅器10Bの-入力端子及び+入力端子となっている。

【0046】

NMOS 41a, 41bのソースは、それぞれ定電流源42a, 42bを介して電位VSSに接続され、ドレインは電位VDDに直接接続されている。また、NMOS 41aのソースは、NMOS 11aのゲートに接続されると共に、位相補償用のキャパシタ43aを介してノードNbに接続されている。同様に、NMOS 41bのソースは、NMOS 11bのゲートに接続されると共に、位相補償用のキャパシタ43bを介してノードNaに接続されている。その他の構成は、図1中のNMOS 31a, 31b、定電流源32a, 32b、及びキャパシタ33a, 33bを削除したものと同様である。

【0047】

図6は、図5の広帯域増幅器10Bを、図2(a)のサンプル・ホールド回路に使用した場合の、ホールド動作時の高周波小信号に対する等価回路を示す図である。

【0048】

図6に示すように、ホールド動作時には、広帯域増幅器10Bのソースフォロア回路10-4と入力段10-1と出力段10-2が順次接続され、この出力段10-2の出力側と接地電位GNDの間に、負荷用のキャパシタCLp, CLm（容量をC1とする）が接続される。また、出力段10-2の出力側とソースフォロア回路10-4の入力側の間がキャパシタCSp, CSm（容量をCsとする）で接続される。更に、入力段10-1の入力側と出力側の間が、位相補償用のキャパシタ43a, 43b（容量をCmとする）を介して接続される。なお、入力段10-1、出力段10-2及びソースフォロア回路10-4の入力側と接地電位GNDの間には、それぞれ入力容量Ci1, Ci2, Ci4が形成されている。

【0049】

この等価回路において、広帯域増幅器10Bの帯域幅をBWop、帰還率を β とし、入力段10-1の小信号出力抵抗Rolがソースフォロア回路10-4の小信号出

力抵抗 R_{o4} よりも十分大きく、かつ入力段 10-1 の第 1 極がソースフォロア回路 10-4 と C_m 及び R_{o1} と C_{i2} とで決定されるゼロ点よりも低いとすると、動作帯域を示す閉ループ帯域幅 BW_{cl} は、次の (9) 式で表される。

【数 8】

$$BW_{cl} = \left\{ \frac{1}{1+\chi} \times \frac{C_m}{C_m + C_{i2}} \times \frac{g_{m2}}{C_1 + \frac{C_s \times C_{i4}}{C_{i1} + C_{i4} + C_s}} \right\} \times \frac{C_s}{C_{i1} + C_{i4} + C_s}$$

$$= \frac{1}{1+\chi} \times \frac{C_m}{C_m + C_{i2}} \times \frac{g_{m2} \times C_s}{(C_{i1} + C_{i4})(C_1 + C_s) + C_1 \times C_s}$$

... (9)

【0050】

ここで、 g_{m2} は出力段 10-2 の相互コンダクタンス、 χ はソースフォロア回路 10-4 を構成する NMOS 41a, 41b の閾値電圧の基板バイアス電圧に対する変化の割合を表す係数である。

【0051】

この (9) 式に示すように、動作帯域は出力段 10-2 の相互コンダクタンス g_{m2} に比例するので、この相互コンダクタンス g_{m2} を大きく設定することにより、動作帯域を増加させることができる。

【0052】

なお、第 1 の実施形態と同様に、相互コンダクタンス g_{m2} を大きく設定すると、これに伴って入力容量 C_{i2} も増加するが、位相補償用の容量 C_m を大きくすることにより、この入力容量 C_{i2} の増加による動作帯域の減少を補うことができる。また、容量 C_m を大きくすると、ソースフォロア回路 10-4 と C_m 及び R_{o1} と C_{i2} とで決定されるゼロ点が低周波数方向へ移動するが、これと同時に入力段 10-1 の第 1 極も低周波数方向へ移動するので、広帯域増幅器 10B の位相余裕を低下させることはない。

【0053】

一方、この広帯域増幅器 10B では、ソースフォロア回路 10-4 の NMOS 41a, 41b のソース電位が、第 1 の実施形態の広帯域増幅器 10A におけるソースフォロア回路 10-3 の NMOS 31a, 31b のソース電位よりも、入力段

のNMOS 11a, 11bの閾値電圧分だけ高くなっている。しかしながら、帰還率 β の減少については、広帯域増幅器10Aでは入力段10-1の入力容量 C_{i1} とソースフォロア回路10-3の入力容量 C_{i3} の合計で生ずるが、広帯域増幅器10Bではソースフォロア回路10-4の入力容量 C_{i4} のみで生ずる。従って、この広帯域増幅器10Bは、係数 χ の小さいプロセスや、MOS入力容量の大きいプロセスを使用する場合に適した回路である。

【0054】

以上のように、この第2の実施形態の広帯域増幅器10Bは、入力段10-1の前段にソースフォロア回路10-4を設け、このソースフォロア回路10-4の出力側を、位相補償用のキャパシタ43を介して出力段10-2の入力側に接続している。これにより、第1の実施形態と同様の利点が得られる。

【0055】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【0056】

(a) 図7は、本発明のその他の実施形態を示す広帯域増幅器の構成図である。この広帯域増幅器10Cは、図1の広帯域増幅器10Aの入力段10-1を、ゲインブースト付きカスコードで構成したものである。即ち、NMOS 14a, 14bのゲートには、バイアス電圧 V_{B3} に代えて、それぞれのソース電圧が帰還用のアンプ21a, 21bで増幅されて与えられるようになっている。更に、PMOS 15a, 15bのゲートには、バイアス電圧 V_{B2} に代えて、それぞれのソース電圧が帰還用のアンプ22a, 22bで増幅されて与えられるようになっている。このように構成することにより、ホールド動作時の等価回路において、入力段10-1の出力抵抗 R_{o1} が著しく大きくなり、この入力段10-1の第1極とソースフォロア回路10-3と C_m 及び R_{o1} と C_{i2} とで決定されるゼロ点との周波数軸上の距離が離れるので、広帯域増幅器の位相余裕を更に大きくすることが可能になる。

【0057】

(b) 図5の広帯域増幅器10Bの入力段10-1を、上記(a)と同様に、ゲ

インブースト付きカスコードで構成しても良い。これにより、同様の効果が得られる。

【0058】

(c) 図1及び図7中のキャパシタ33a, 33b、及び図5中のキャパシタ43a, 43bを、MOSトランジスタのソースとドレインを共通に接続して、ゲートとの間のキャパシタンスを用いたMOS容量で構成しても良い。これにより、メタルフリンジングやMIM及びPIP等の容量素子で構成したキャパシタに比べて、レイアウト面積を小さくすることが可能になる。

【0059】

【発明の効果】

請求項1の発明によれば、入力段である第1の増幅部に並列にソースフォロア回路を設け、このソースフォロア回路の出力側を位相補償用のキャパシタを介して出力段である第2の増幅部の入力側に接続している。これにより、位相余裕が大きくなり、使用する製造プロセスによって動作帯域が制限されることなく、より広い動作帯域を得ることができる。

【0060】

請求項2の発明によれば、入力段である第1の増幅部の前段にソースフォロア回路を設け、このソースフォロア回路の出力側を、位相補償用のキャパシタを介して出力段である第2の増幅部の入力側に接続している。これにより、請求項1と同様の効果が得られる。

【0061】

請求項3の発明によれば、第1の増幅部をゲインブースト付きカスコードで構成しているので、この第1の増幅部の出力抵抗が著しく大きくなり、位相余裕を更に大きくすることができる。

【0062】

請求項4の発明によれば、位相補償用のキャパシタをMOS容量で構成しているので、レイアウト面積を小さくすることができる。

【図面の簡単な説明】

【図1】

本発明の第 1 の実施形態を示す広帯域増幅器の構成図である。

【図 2】

従来のサンプル・ホールド回路と演算増幅器の回路図である。

【図 3】

図 2 のサンプル・ホールド回路のホールド動作時の等価回路を示す図である。

【図 4】

図 1 の広帯域増幅器によるホールド動作時の等価回路を示す図である。

【図 5】

本発明の第 2 の実施形態を示す広帯域増幅器の構成図である。

【図 6】

図 5 の広帯域増幅器によるホールド動作時の等価回路を示す図である。

【図 7】

本発明のその他の実施形態を示す広帯域増幅器の構成図である。

【符号の説明】

1 0 A, 1 0 B, 1 0 C 広帯域増幅器

1 1, 1 3, 1 4, 1 7, 1 9, 3 1, 4 1 NMOS

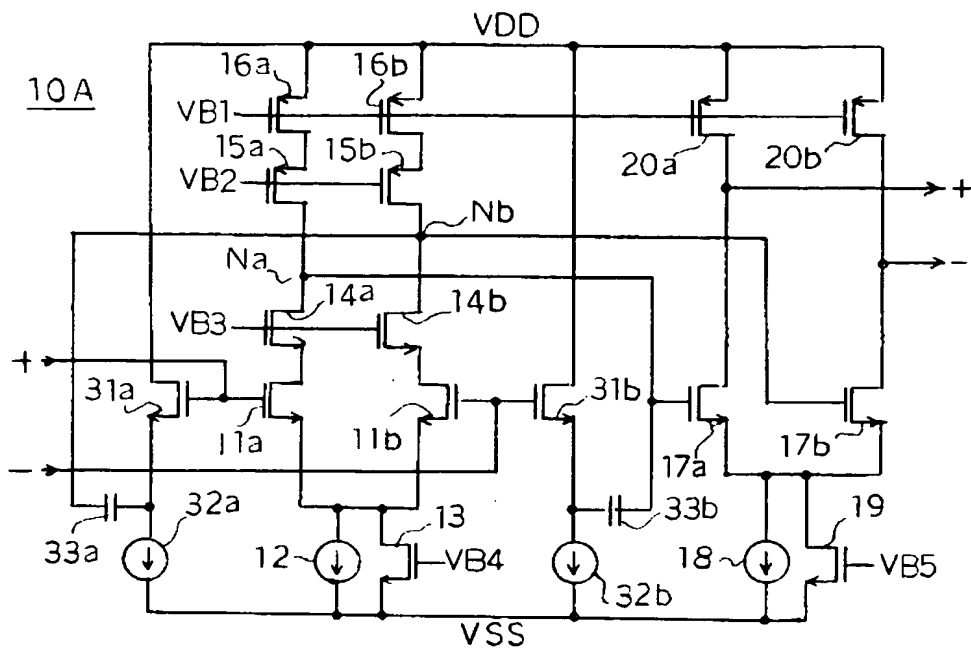
1 2, 1 8, 3 2, 4 2 定電流源

1 5, 1 6, 2 0 PMOS

3 3, 4 3 キャパシタ

【書類名】 図面

【図 1】



本発明の第 1 の実施形態の広帯域増幅器

【図 3】

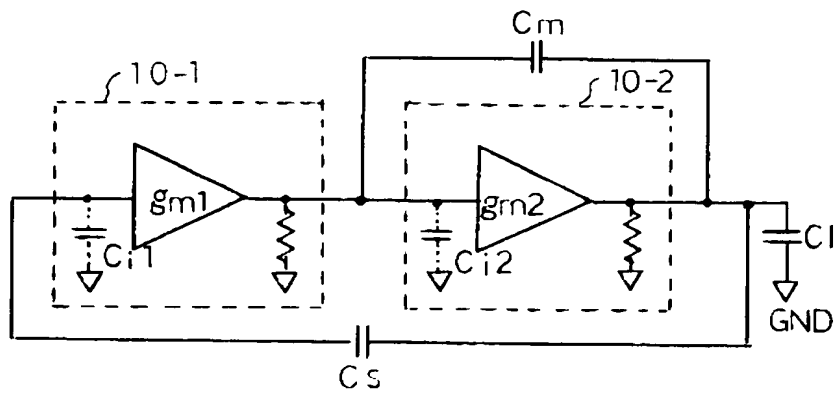


図 2 のホールド動作時の等価回路

【図 4】

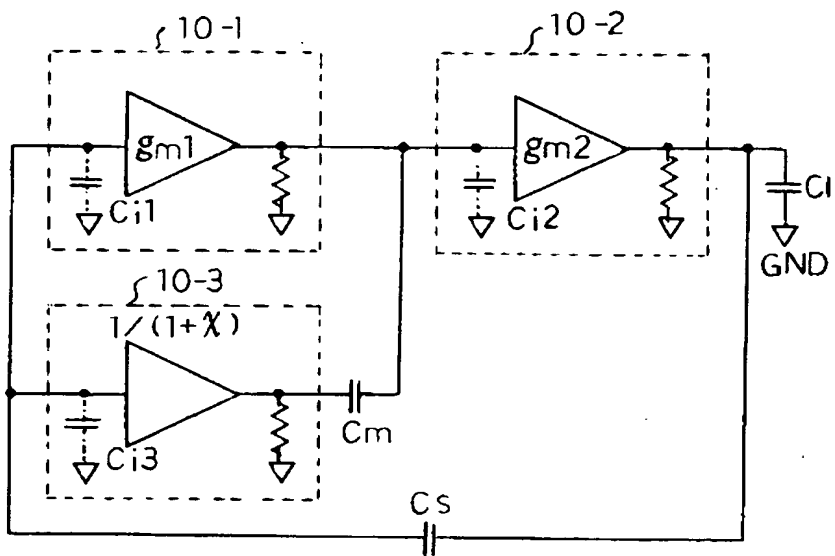
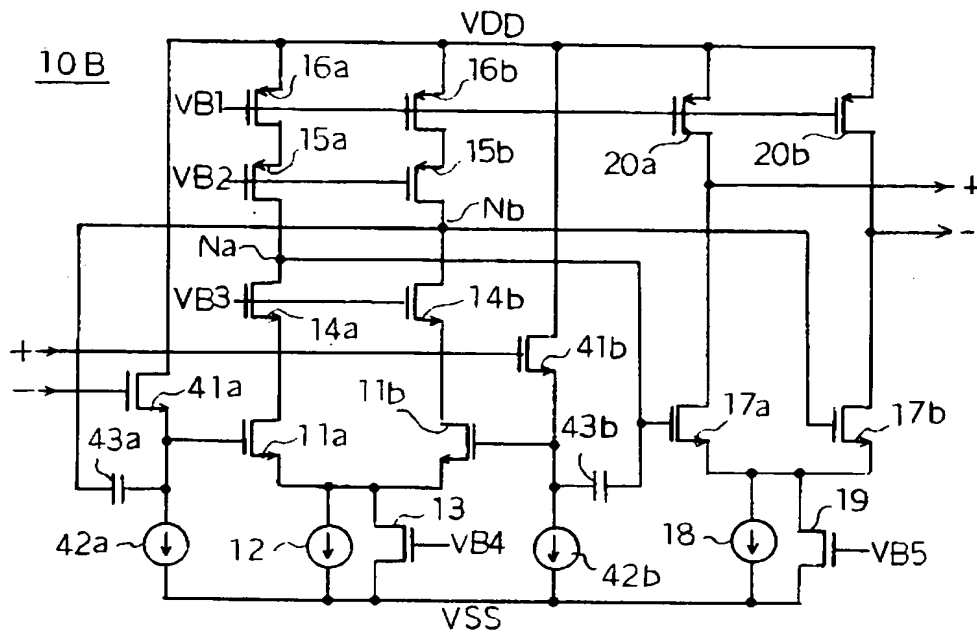


図 1 のホールド動作時の等価回路

【図 5】



本発明の第 2 の実施形態の広帯域増幅器

【図 6】

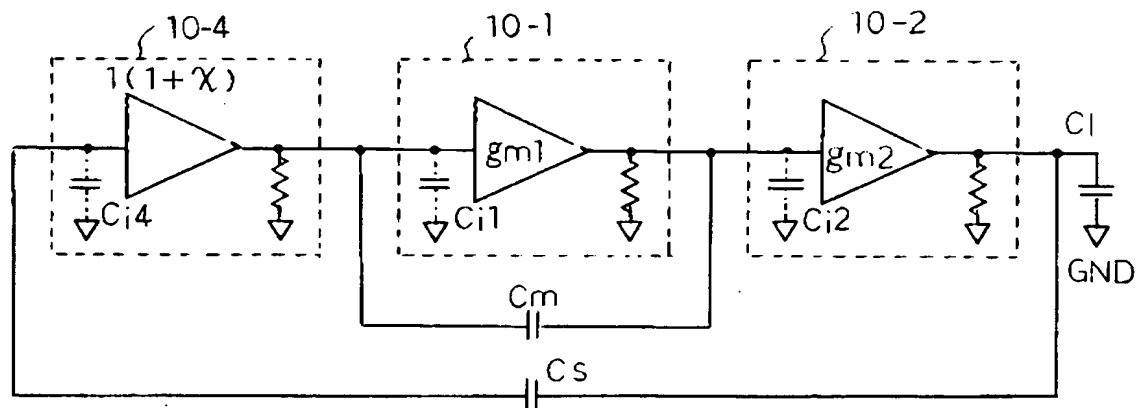
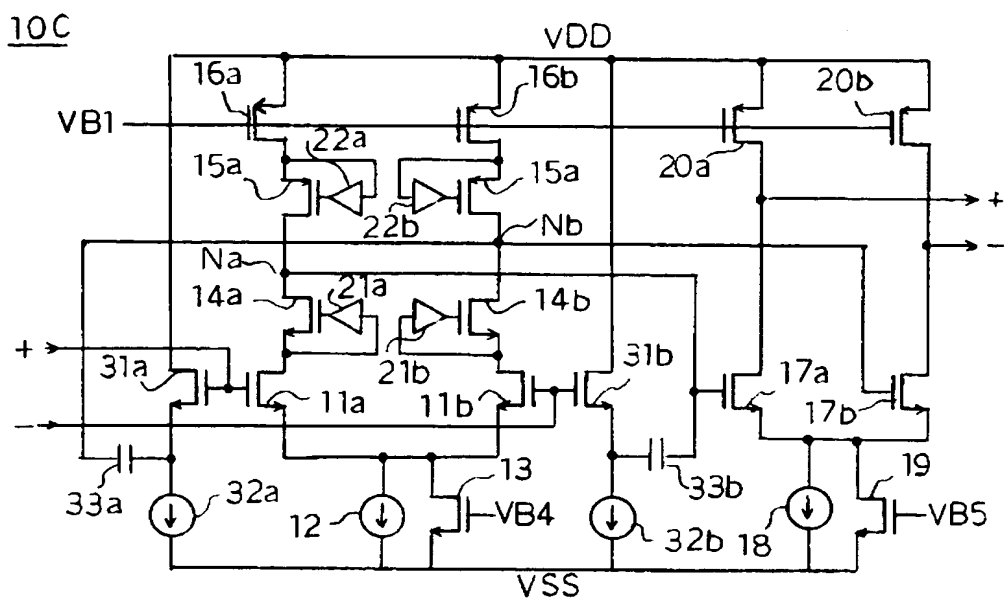


図 5 のホールド動作時の等価回路

【図 7】



本発明のその他の実施形態の広帯域増幅器

【書類名】 要約書

【要約】

【課題】 製造プロセスによる制限を受けず、動作帯域を広くすることができる広帯域増幅器を提供する。

【解決手段】 入力段の増幅部であるNMOS 11a, 11bと並列に、NMOS 31a, 31b及び定電流源32a, 32bからなるソースフォロア回路を設ける。更に、ソースフォロア回路の出力側であるNMOS 31a, 31bのソースを、それぞれ位相補償用のキャパシタ33a, 33bを介して、入力段の増幅部の出力側のノードNb, Naに接続する。これにより、広帯域増幅器の位相余裕が大きくなり、使用する製造プロセスによって動作帯域が制限されることなく、より広い動作帯域を得ることができる。

【選択図】 図1

特願 2003-181094

出願人履歴情報

識別番号

[000000295]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社